

POPIS VYNÁLEZU K AUTORSKÉMU OSVEDČENIU

257355
(11) (B1)



(22) Prihlásené 06 08 86
(21) [PV 5867-86.N]

(51) Int. Cl.⁴
G 06 F 15/32
G 06 F 7/00

URAD PRO VYNÁLEZY
A OBJEVY

(40) Zverejnené 14 05 87

(45) Vydané 15 12 88

(75)

Autor vynálezu

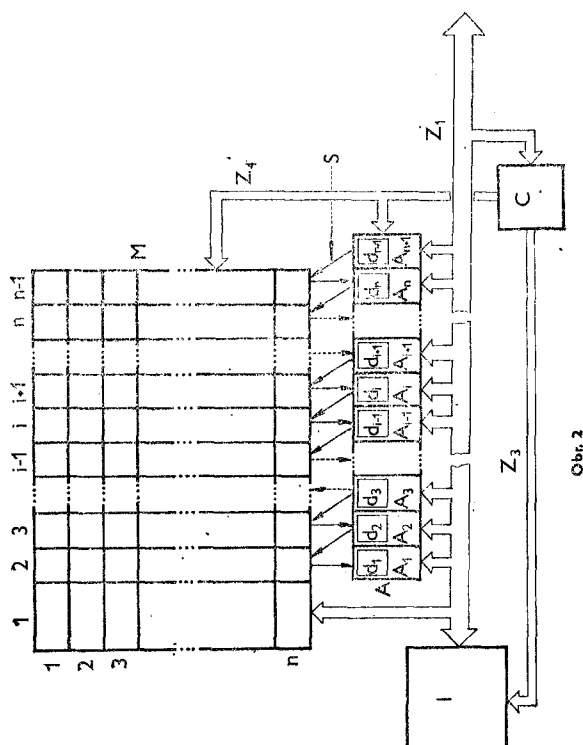
MORHÁČ MIROSLAV ing. CSc., LŐRENCZ RÓBERT ing., BRATISLAVA

(54) Zapojenie procesorovej jednotky

1

2

Účelom zapojenia procesorovej jednotky je presné riešenie sústavy lineárnych rovníc v oblasti zvolenej zvyškovej triedy. Uvedeného účelu sa dosiahne výpočtom inverznej matice v modulovej aritmetike, ktorý sa vykonáva v aritmetickej jednotke (A) v spolupráci s pamäťovým maticovým poľom (M), blokom (I) tvorby modulových inverzných a negovaných čísel a blokom (C) riadiacej logiky. K riešeniu sústavy lineárnych rovníc v obore reálnych čísel je potrebných viacero procesorových jednotiek (P_1 až P_m), ktoré pracujú synchronne v súčinnosti s riadiacou jednotkou (R) a hostiteľským počítačom (H). Zapojenie procesorovej jednotky môže nájsť široké uplatnenie pri riešení sústav lineárnych rovníc vo všetkých oblastiach vedy a techniky.



Obr. 2

Vynález sa týka zapojenia procesorovej jednotky vhodnej na riešenie sústav lineárnych rovníc v oblasti zvyškových tried na báze modulovej aritmetiky.

Doteraz známe zapojenie procesorových jednotiek riešia sústavy lineárnych rovníc len v oblasti reálnych čísel. Sú známe architektúry procesorových jednotiek s distribuovaným počtom procesorov, ktoré umožňujú riešiť sústavy lineárnych rovníc, kde každý procesor rieši výpočet z hľadiska prvku maticového poľa. Ich spoločnou nevýhodou ostáva nepriaznivý vplyv zaokrúhľovacích chýb, pretože pracujú v oblasti reálnych čísel.

Uvedenú nevýhodu odstraňuje zapojenie procesorovej jednotky podľa vynálezu, ktorého podstata spočíva v tom, že pamäťové maticové pole je spojené prvým stĺpcom so zbernicou a ostatnými stĺpcami cez sériovú zbernicu s aritmetickou jednotkou. Aritmetická jednotka pozostáva z $n + 1$ identických blokov modulových lineárnych operácií. Sériový vstup prvého až predposledného bloku modulových lineárnych operácií je spojený s druhým až posledným stĺpcom pamäťového maticového poľa. Sériový výstup druhého až posledného bloku modulových lineárnych operácií je spojený s druhým až posledným stĺpcom pamäťového maticového poľa. Všetky bloky modulových lineárnych operácií sú spojené so zbernicou s ktorou je spojený blok tvorby modulových inverzných a negovaných čísel a blok riadiacej logiky. Blok riadiacej logiky je spojený jednou riadiacou zbernicou s blokom tvorby modulových inverzných a negovaných čísel a druhou riadiacou zbernicou je spojený s aritmetickou jednotkou a pamäťovým maticovým poľom.

Výhoda systému na riešenie sústav lineárnych rovníc, ktorého základným prvkom je procesorová jednotka, spočíva v odstránení zaokrúhľovacích chýb pri výpočte.

Na pripojených výkresoch a to na obr. 1 je schematicky znázornené blokové zapojenie systému na riešenie sústav lineárnych rovníc a na obr. 2 je znázornené zapojenie procesorovej jednotky.

Zapojenie systému na riešenie sústav lineárnych rovníc pozostáva z riadiacej jednotky **R**, ktorá je cez zbernicu **Z₂** spojená s hosťiteľským počítačom **H** a cez zbernicu **Z₁** a paralelne spojeným procesorovými jednotkami **P₁** až **P_m**.

Zapojenie procesorovej jednotky pozostáva z pamäťového maticového poľa **M**, ktoré obsahuje $n + 1$ stĺpcov a n riadkov. Druhý až $n + 1$ stĺpec pamäťového maticového poľa **M** je spojený cez sériovú zbernicu **S** s aritmetickou jednotkou **A**. Prvý stĺpec pamäťového maticového poľa **M** je spojený so zbernicou **Z₁**. Aritmetická jednotka **A** pozostáva z $n + 1$ identických blokov **A₁** až **A_{n+1}** modulových lineárnych operácií. Každý blok **A_i** modulových lineárnych operácií obsahuje klopný obvod **d_i**, kde $i = 1,$

$2, \dots, n + 1$. Klopné obvody **d₁** až **d_{n+1}** tvoria adresný posuvný register. Zbernica **Z₁** je spojená s blokom **I** tvorby modulových inverzných a negovaných čísel a s blokom **C** riadiacej logiky. Zbernica **Z₁** je spojená s blokmi **A₁** až **A_{n+1}** modulových lineárnych operácií. Blok **C** riadiacej logiky je riadiacou zbernicou **Z₃** spojený s blokom **I** tvorby modulových inverzných a negovaných čísel a riadiacou zbernicou **Z₄** je spojený s aritmetickou jednotkou **A** a s pamäťovým maticovým poľom **M**.

Hosťiteľský počítač **H** vysiela v prvom kroku hodnoty matice **B** a vektora pravej strany **y** sústavy lineárnych rovníc

$$B\bar{x} = \bar{y}$$

do riadiacej jednotky **R**. Súčasne v tomto kroku vysiela riadiaca jednotka **R** do všetkých procesorových jednotiek **P_i** až **P_m** najprv hodnoty prvého riadku transportovanej matice **B**. V ďalšom kroku sa uskutoční paralelne vo všetkých procesorových jednotkách **P_i** až **P_m** prevod čísel riadku do kódu riadku pamäťového maticového poľa **M** na zvyškových tried a ich zápis do prvého obr. 2. To sa opakuje pre ďalšie riadky až do úplného načítania matice. Zároveň sa do $n + 1$ stĺpca pamäťového maticového poľa **M** zapisujú v kóde zvyškových tried hodnoty vektora **y**. Prevod sa uskutočňuje v blokoch **A₁** až **A_{n+1}** modulových lineárnych operácií, ktoré sa pri zápise zo zbernice **Z₁** inicializujú postupne pomocou posuvného adresného registra zloženého z klopných obvodov **d₁** až **d_{n+1}**. V druhom kroku sa počíta inverzná matica v zmysle modulovej aritmetiky. To znamená, že pre hľadanú maticu B^{-1} musí platiť

$$B^{-1} \cdot B \pmod{M_k} = E$$

kde **E** je jednotková matica a M_k je modul použitý v procesorovej jednotke **P_k**. Výpočet je založený na Gaussovej eliminačnej metóde v zmysle modulovej aritmetiky. Z pamäťového maticového poľa **M** sa prečíta prvok $M(1,1)$ a v bloku **I** tvorby modulových inverzných a negovaných čísel sa vyhľadá k nemu inverzný prvok, ktorý spĺňa podmienku

$$M^{-1}(1,1) \cdot M(1,1) \pmod{M_k} = 1$$

Prvok $M^{-1}(1,1)$ sa vystaví na zbernicu **Z₁** danej procesorovej jednotky **P_k** a v blokoch **A₁** až **A_{n+1}** modulových lineárnych operácií sa vykoná násobenie s prvkami $M(1,2)$ až $M(1,n)$, ktoré sa vystavujú po sériovej zbernici **S**. Prvok $M(1, n + 1)$ v bloku **A_{n+1}** sa nastaví na hodnotu 1. Násobenie sa potom redukuje na pripočítavanie alebo prázdnu operáciu podľa hodnoty vystavených bitov na sériovej zbernici **S**. Výsledná hodnota

ta sa prevádza do hodnoty modula M_k a súčasne sa zapisuje po sériovej zbernici S do pamäťového maticového poľa M . Z obrázku 2 je vidieť, že zápisom sa previedol posun riadku pamäťového maticového poľa M o jednu hodnotu doľava. V ďalšom kroku sa k prvku $M(2,1)$ nájde v bloku I tvorby modulových inverzných a negovaných čísel hodnota

$$-M(2,1) \pmod{M_k}$$

Hodnoty prvého riadku, ktoré sú uchované aj v blokoch A_1 až A_n , modulových lineárnych operácií sa vynásobené hodnotou $-M(2,1) \pmod{M_k}$ pripočítajú k hodnotám druhého riadku. Proces je opäť paralelný. Výsledná hodnota $[M(2,i) - M(1,i) \cdot M(2,1)]$, kde i označuje pozíciu prvku v riadku, sa tvorí postupným načítavaním hodnôt $M(2,1)$ po sériovej zbernici S a súčasným jej pripočítavaním k súčinu $-M(1,i) \cdot M(2,1)$, kde hodnota $-M(2,1)$ je vystavená na zbernicu Z_1 procesorovej jednotky P_k a $M(1,i)$ sú uchované hodnoty prvého riadku v interných registroch blokov A_1 až A_n modulových lineárnych operácií. Hodnota $M(2, n+1)$ v A_{n+1} sa nastaví na nulu. Spätný prevod a zápis do pamäťového maticového poľa M s posunom o jednu hodnotu doľava je opäť paralelizovaný. Tento proces sa opakuje pre riadky 3 až n . Výpočet inverznej matice pokračuje nájdením inverzného čísla k prvku B_{22} matice B sústavy lineárnych rovníc, ktorý sa dostal na pozíciu $M(2,1)$ pamäťového maticového poľa M . Takto postupujeme až po prvok B_{nn} . Na začiatku celého procesu výpočtu matice B^{-1}

$\pmod{M_k}$ bol vektor \bar{y} uchovaný v stĺpci $n+1$ pamäťového maticového poľa M . Postupne sa prepismi s posunom dostal až na pozíciu stĺpca 1. Aby jeho hodnoty ostali uchované, nesmú sa s ním vykonávať počas výpočtu inverznej matice operácie, tak ako s ostatnými prvkami matice. Preto adresný posuvný register zložený z klopných obvodov d_1 až d_{n+1} plní v procese výpočtu $B^{-1} \pmod{M_k}$ postupne funkciu dekodéra pasivity bloku A_{n+1} až A_1 modulových lineárnych operácií. Blok A_i modulových lineárnych operácií prisluchajúci polohe vektora \bar{y} je pasívny a okrem prepisu a tým posunu vektora doľava nevykonáva žiadnu operáciu. Týmto je pripravený vektor \bar{y} v prvom stĺpci a inverzná matica $B^{-1} \pmod{M_k}$ v stĺpcoch 2 až $n+1$ maticového poľa M k vzájomnému vynásobeniu. To sa uskutoční postupným čítaním hodnôt vektora \bar{y} na zbernicu Z_1 procesorovej jednotky P_k , násobením odpovedajúcich riadkov pamäťového maticového poľa M danými hodnotami a pripočítaním k výslednej hodnote vektora $x \pmod{M_k}$.

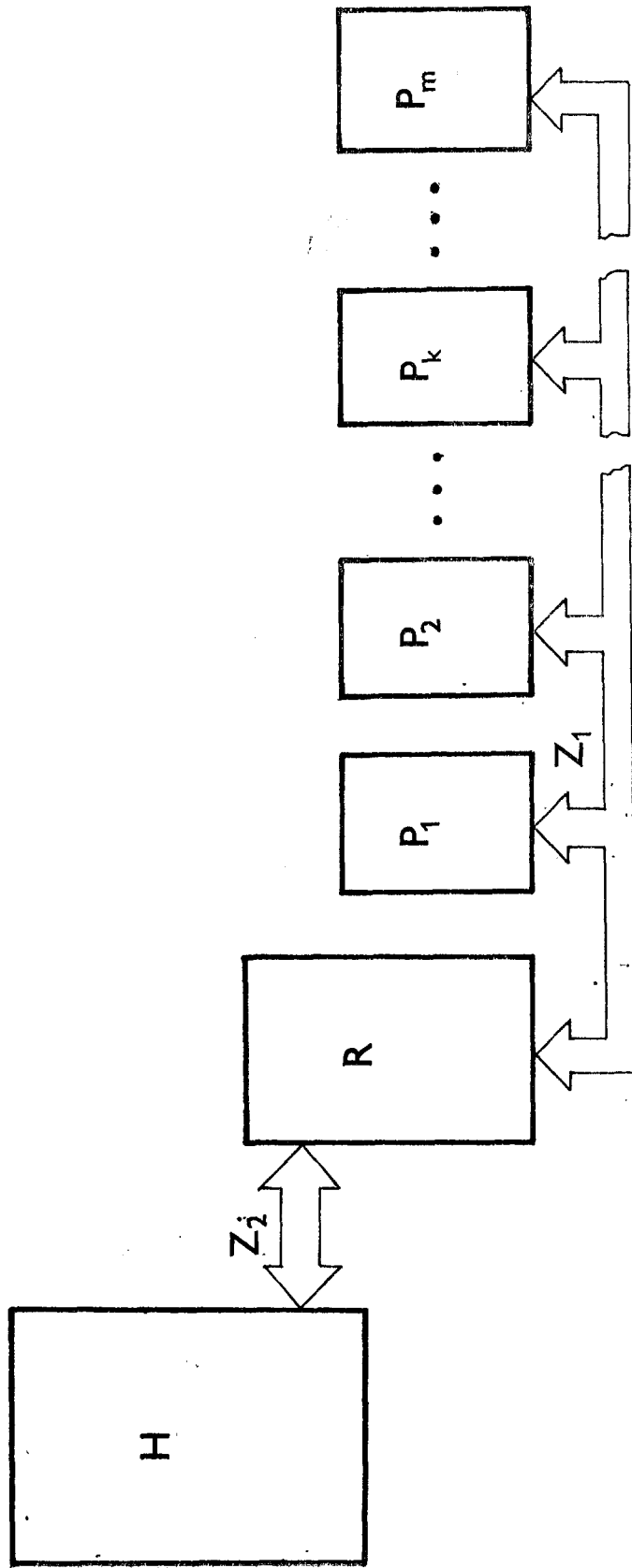
Výpočet končí prevodom výsledného vektora x z kódu zvyškových tried. Prevod sa uskutočňuje modifikovaným Euklidovým algoritmom, pričom sa na ňom zúčastňujú všetky procesorové jednotky P_1 až P_m . Výsledné hodnoty sa zaznamenávajú v riadiacej jednotke R a vysielajú po zbernici Z_2 späť do hostiteľského počítača H .

Vynález môže nájsť široké využitie pri riešení sústav lineárnych rovníc vo všetkých oblastiach vedy a techniky.

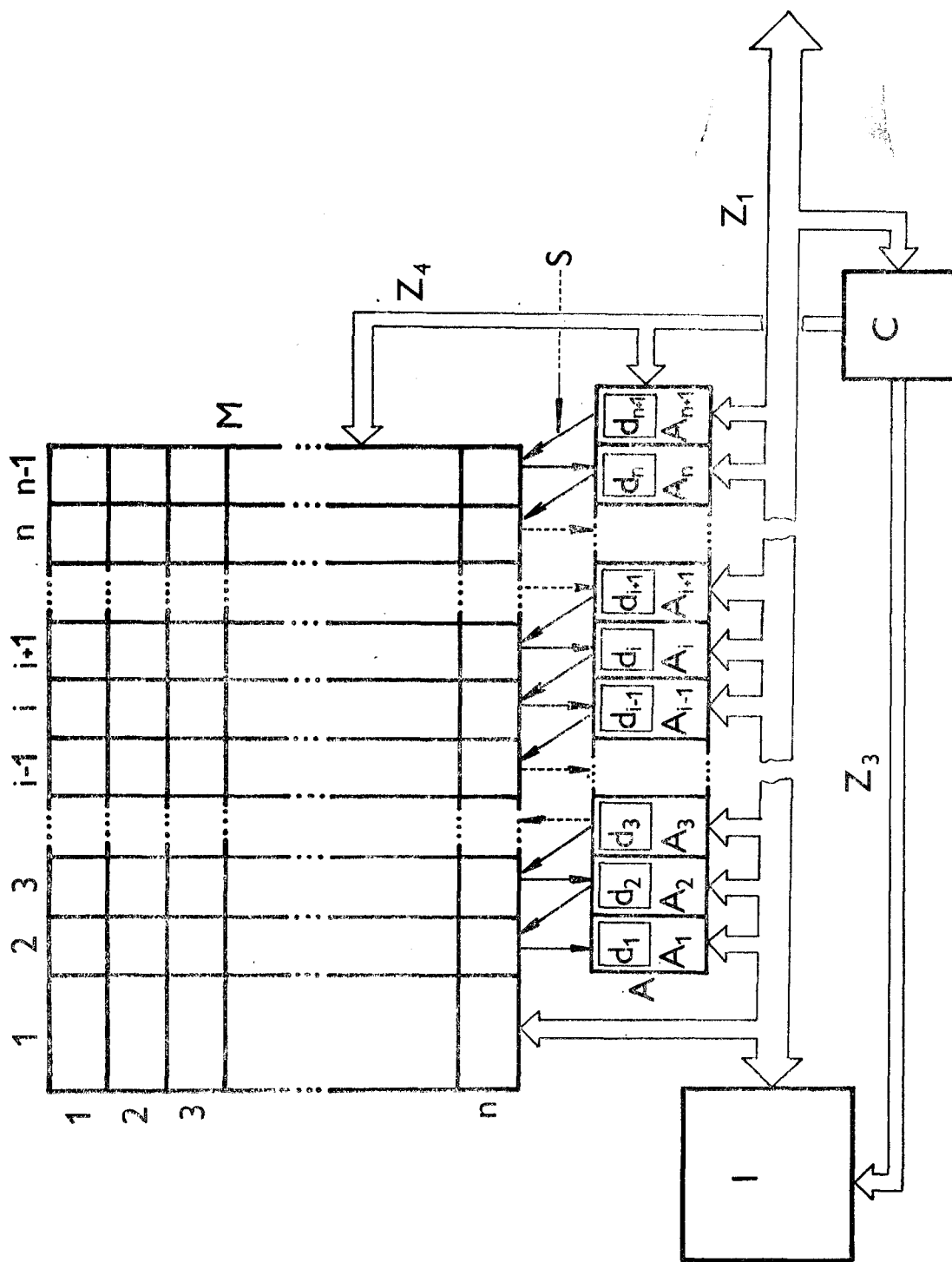
PREDMET VYNÁLEZU

Zapojenie procesorovej jednotky vyznačuje sa tým, že pamäťové maticové pole (M) je spojené prvým stĺpcom (1) so zbernicou (Z_1) a ostatnými stĺpcami (2 až $n+1$) je spojené cez sériovú zbernicu (S) s aritmetickou jednotkou (A), ktorá pozostáva z $n+1$ identických blokov (A_1 až A_{n+1}) modulových lineárnych operácií, pričom sériový vstup bloku (A_i) pre $i = 1, 2, \dots, n$ modulových lineárnych operácií je spojený so stĺpcom ($i+1$) pamäťového maticového poľa (M) a sériový výstup bloku (A_i) pre $i = 2, 3, \dots, n+1$ modulových

lineárnych operácií je spojený so stĺpcom (1) pamäťového maticového poľa (M) a bloky (A_1 až A_{n+1}) modulových lineárnych operácií sú spojené so zbernicou (Z_1) s ktorou je spojený blok (I) tvorby modulových inverzných a negovaných čísel a blok (C) riadiacej logiky, ktorý je spojený cez riadiacu zbernicu (Z_3) s blokom (I) tvorby modulových inverzných a negovaných čísel a cez riadiacu zbernicu (Z_4) s aritmetickou jednotkou (A) a pamäťovým maticovým poľom (M).



Obr. 1



Obr. 2

