

# PATENTOVÝ SPIS

(11) Číslo dokumentu:

## 306 787

(13) Druh dokumentu: **B6**

(51) Int. Cl.:

**G06F 17/30** (2006.01)

(19)  
ČESKÁ  
REPUBLIKA



ÚŘAD  
PRŮMYSLOVÉHO  
VLASTNICTVÍ

(21) Číslo přihlášky: **2016-272**  
(22) Přihlášeno: **10.05.2016**  
(40) Zveřejněno: **07.07.2017**  
**(Věstník č. 27/2017)**  
(47) Uděleno: **24.05.2017**  
(24) Oznámení o udělení ve věstníku: **07.07.2017**  
**(Věstník č. 27/2017)**

(56) Relevantní dokumenty:  
XP032514417 Istvan Zsolt; Alonso Gustavo; Blott Michaela; Vissers Kees: A flexible hash table design for 10GBPS key-value stores on FPGAs, 23rd International Conference on Field programmable Logic and Applications, pg 1 - 8, 02.09.2013, doi:10.1109/FPL.2013.6645520; XP032202806 Andreas Ehliar: EBRAM - Extending the BlockRAMs in FPGAs to Support Caches and Hash Tables in an Efficient Manner, Field-Programmable Custom Computing Machines (FCCM), 2012 IEEE 20th Annual International Symposium on, pg 242, 29.04.2012, doi:10.1109/FCCM.2012.52. US 2015019563 A; WO 2009005758 A.

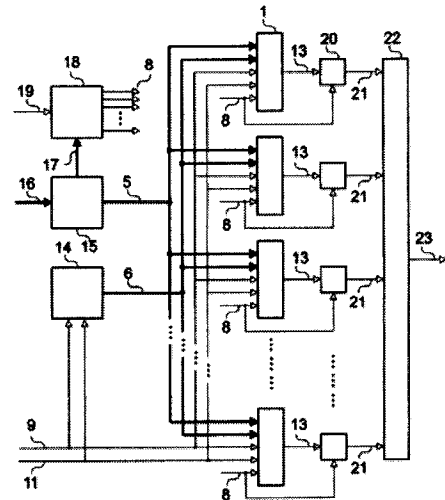
(73) Majitel patentu:  
CESNET, zájmové sdružení právnických osob,  
Praha 6, CZ  
České vysoké učení technické v Praze - Fakulta  
informačních technologií, Praha 6, CZ

(72) Původce:  
Ing. Matěj Bartík, Praha 5, CZ  
Dr. Ing. Sven Ubik, Praha 9, CZ

(74) Zástupce:  
Ing. Hana Dušková, Na Kočově 180, 281 03  
Chotutice

(54) Název vynálezu:  
**Systém pro realizaci rozptylovací tabulky**

(57) Anotace:  
Předkládané řešení umožňuje realizovat rozptylovací tabulku, například pro činnost kompresních algoritmů, s rychlou inicializací a současně s malými nároky na systémové prostředky. Hlavními částmi řešení jsou jeden nebo více základních bloků (1), odpovídající počet maskovacích bloků (20), čítač (14), adresní rozdělovač (15), demultiplexor (18) a multiplexor (22). Každý základní blok (1) obsahuje paměť (4) příznakového registru implementovaného jako tabulka LUT. V normálním provozním režimu je adresa celého systému příznaků rozdělena adresním rozdělovačem (15) na část připojenou současně do všech základních bloků (1) a na část, kterou demultiplexor (18) využije pro povolení zápisu do jednoho ze základních bloků (1). Maskovací bloky (20) spolu s multiplexorem (22) vybírají obsah adresovaného základního bloku (1). V režimu inicializace vytváří čítač (14) postupně všechny adresy na vstupech základních bloků (1) pro nastavení pamětí (4) příznakových registrů.



CZ 306787 B6

## Systém pro realizaci rozptylovací tabulky

### Oblast techniky

5

Předkládaný vynález se týká systému pro realizaci rozptylovací tabulky a tím i způsobu realizace rozptylovacích tabulek v hardware s využitím specifických vlastností programovatelných hradlových polí FPGA, Field Programmable Gate Array. Řešení patří do oblasti teoretické informatiky a digitálního návrhu.

10

### Dosavadní stav techniky

Současné systémy využívající rozptylovacích tabulek, například pro činnost kompresních algoritmů, lze rozdělit do několika kategorií. Jednou z nich jsou systémy, kde není potřeba inicializovat rozptylovací tabulky. Další skupinou jsou systémy, kde jsou rozptylovací tabulky inicializovány při prvním použití algoritmu, například inicializace programem FPGA nebo inicializace vlastním algoritmem, a rychlost inicializace není pro danou aplikaci klíčová, protože systém přejde do provozního režimu až po inicializaci. Existují také systémy, kde je nutné za plného provozu rozptylovací tabulky při každém spuštění algoritmu znovu inicializovat na požadované hodnoty, například při implementaci kompresních algoritmů rodiny LZ77.

Rozptylovací tabulky kompresních algoritmů realizovaných v hardware jsou většinou realizovány pomocí paměti typu SRAM, například Block RAM v obvodech firmy Xilinx, s vysokou hustotou, která je integrována na čipu FPGA. Pro úsporu plochy integrovaného obvodu nedisponují tyto paměti inicializačním signálovým vstupem, který by umožňoval smazat data v jediném hodinovém cyklu integrovaného obvodu. Všechny ostatní části integrovaného obvodu typu FPGA tuto možnost, takzvaný reset, mají.

Paměť typu SRAM s vysokou hustotou tak musí být inicializována postupnou inicializací jednotlivých paměťových buněk, kdy doba trvání inicializace je rovna součinu počtu paměťových buněk a délky hodinového taktu použitého integrovaného obvodu. Tento způsob lze považovat za triviální a efektivní z hlediska spotřeby systémových prostředků, která je řádově rovna binárnímu logaritmu z požadované velikosti rozptylovací tabulky, ale s velmi dlouhou dobou inicializace a není proto vhodný pro systémy, kde je nutné rozptylovací tabulky opakovaně inicializovat.

Alternativou je použití částí obvodu FPGA, které disponují možností smazat data v jediném hodinovém cyklu, například klopných obvodů, které mohou být realizovány pomocí SRAM buněk s nízkou hustotou. Pomocí klopných obvodů lze vytvořit systém příznaků, kdy jeden klopný obvod obsahuje informaci o platnosti nebo neplatnosti dat v jedné paměťové buňce rozptylovací tabulky. Toto řešení umožňuje rychlou inicializaci, ale nároky na systémové prostředky v obvodu FPGA jsou řádově lineární k požadované velikosti rozptylovací tabulky a pro velké rozptylovací tabulky jsou enormní.

Z výše uvedeného vyplývá, že rozptylovací tabulka s rychlou inicializací a současně s malými nároky na systémové prostředky je stávajícími způsoby řešení obtížně realizovatelná.

### Podstata vynálezu

50

Výše uvedené nedostatky odstraňuje systém pro realizaci rozptylovací tabulky podle předkládaného řešení. Podstatou tohoto systému je, že sestává alespoň z jednoho základního bloku, kde každý základní blok je tvořen prvním multiplexorem opatřeným prvním a druhým adresním vstupem a propojeným svým výstupem s adresním vstupem paměti příznakového registru, implementovaného jako tabulka LUT, a obvodem pro povolení zápisu do paměti příznakového registru.

55

Obvod pro povolení zápisu do paměti příznakového registru je opatřen vstupem řídicího signálu zápisu do paměti příznakového registru. Výstup tohoto obvodu pro povolení zápisu do paměti příznakového registru je propojen se vstupem signálu zápisu paměti příznakového registru. Tato paměť příznakového registru je dále opatřena vstupem hodinového signálu a datovým vstupem. Na datový vstup je přes invertor připojen vstup řídicího signálu pro inicializaci paměti příznakového registru, který je zároveň propojen s řídicím vstupem prvního multiplexoru a s řídicím vstupem obvodu pro povolení zápisu do paměti příznakového registru. Datový výstup z paměti příznakového registru každého základního bloku je připojen na jeden vstup jemu příslušejícího maskovacího bloku. Výstupy těchto maskovacích bloků jsou připojeny na vstupy druhého multiplexoru, jehož výstup je výstupem systémů příznaků. Systém dále obsahuje demultiplexor, jehož výstup je propojen se vstupem řídicího signálu zápisu do paměti příznakového registru každého základního bloku a zároveň s druhým vstupem jemu příslušejícího maskovacího bloku. Demultiplexor je opatřen vstupem signálu povolení zápisu a adresním vstupem, který je propojen s výstupem adresního rozdělovače. Adresní rozdělovač je opatřen vstupem adresy pro celý systém příznaků pro normální provozní režim o šířce K bitů, kde K je kladné celé číslo, a výstupem adresního signálu pro adresaci paměti příznakového registru při normálním provozním režimu, který je propojen s prvními adresními vstupy prvních multiplexoru všech základních bloků. Druhé adresní vstupy prvních multiplexoru všech základních bloků jsou propojeny s výstupem adresního signálu pro adresaci paměti příznakového registru pro režim inicializace čítače, jehož jeden vstup je propojen se vstupy řídicího signálu pro inicializaci paměti příznakového registru základních bloků a druhý vstup je vstupem hodinového signálu.

Předkládané řešení umožňuje dosáhnout nejlepšího známého poměru mezi dobou nutnou pro inicializaci rozptylovacích tabulek a množstvím spotřebovaných zdrojů v rámci obvodu FPGA. Předkládané řešení dosahuje vyššího pracovního kmitočtu než obě dnes používané metody pro vytvoření systémů příznaků pro rozptylovací tabulky.

Systém dosahuje výrazné zkrácení doby inicializace na řádově konstantní hodnotu oproti přístupu spočívajícím v postupném přemazání každé paměťové buňky rozptylovací tabulky, která má řádově lineární časovou složitost. Dochází rovněž k výraznému zmenšení potřebných systémových prostředků oproti přístupu využívajícímu klopné obvody, a to na minimálně  $2^n$  krát menší hodnotu. V případě použití tabulek LUT s typickým počtem vstupů 6 jde o 64x menší nároky na systémové prostředky. Systém kombinuje pozitivní vlastnosti obou předchozích přístupů a omezuje vliv jejich negativních vlastností.

Realizace rozptylovací tabulky za použití uvedeného systému má následující vlastnosti. Je dosaženo řádově konstantní doby, typicky 64 hodinových cyklů, pro smazání všech příznaků celé paměti, která je výrazně menší než u triviálního řešení s postupným mazáním jednotlivých paměťových buněk rozptylovací tabulky. Jsou kladeny podstatně nižší nároky na systémové prostředky obvodu FPGA oproti řešení využívajícímu klopné obvody. Pro středně velké rozptylovací tabulky v řádu několika tisíc záznamů jsou nároky na systémové prostředky pouze 2 až 6x vyšší než tomu je u triviálního řešení, které vyžaduje vytvoření čítače. Systém vykazuje vyšší maximální dosažitelný provozní kmitočet, než u řešení využívajícího klopné obvody, a to díky podstatně menší zabrané části obvodu FPGA. S výjimkou extrémních velikostí rozptylovací tabulky zároveň dosahuje vyššího maximálního provozního kmitočtu než řešení využívající triviální přístup, obsahující více stupňů logiky uvnitř čítače.

### Objasnění výkresů

Systém pro realizaci rozptylovací tabulky podle předkládaného vynálezu bude dále objasněn pomocí příložených výkresů. Na obr. 1 je uvedeno schéma základního bloku a na obr. 2 je příklad zapojení celého systému.

Příklady uskutečnění vynálezu

Popis technického řešení rozptylovací tabulky s rychlou inicializací a malými nároky na systémové prostředky je pro lepší přehlednost rozdělen na popis základního bloku 1 na obr. 1 a systému složeného ze základního bloku 1 a podpůrných funkcí na obr. 2.

Systém obsahuje alespoň jeden základní blok 1. Základní blok 1 se skládá z prvního multiplexoru 2, obvodu 3 pro povolení zápisu do paměti 4 příznakového registru a vlastní paměti 4 příznakového registru implementované jako tabulka LUT.

První multiplexor 2 je opatřen prvním a druhým adresním vstupem a svým výstupem je propojen s adresním vstupem 7 paměti 4 příznakového registru. Obvod 3 pro povolení zápisu do paměti 4 příznakového registru je opatřen vstupem 8 řídicího signálu zápisu do paměti 4 příznakového registru. Výstup obvodu 3 pro povolení zápisu do paměti 4 příznakového registru je propojen se vstupem 10 signálu zápisu paměti 4 příznakového registru. Paměť 4 příznakového registru je opatřena dále vstupem hodinového signálu a datovým vstupem, na který je přes invertor 12 připojen vstup 9 řídicího signálu pro inicializaci paměti 4 příznakového registru, který je zároveň propojen s řídicím vstupem prvního multiplexoru 2 a s řídicím vstupem obvodu 3 pro povolení zápisu do paměti 4 příznakového registru. Datový výstup 13 z paměti 4 příznakového registru každého základního bloku 1 je připojen na jeden vstup jemu příslušejícího maskovacího bloku 20, obr. 2. Výstupy 21 těchto maskovacích bloků 20 jsou připojeny na vstupy druhého multiplexoru 22. Výstup 23 druhého multiplexoru 22 je výstupem systémů příznaků. Vstup 8 řídicího signálu zápisu do paměti 4 příznakového registru každého základního bloku 1 je propojen s výstupem demultiplexoru 18 a zároveň s druhým vstupem jemu příslušejícího maskovacího bloku 20. Demultiplexor 18 je opatřen vstupem 19 signálu povolení zápisu a adresním vstupem 17, který je propojen s výstupem adresního rozdělovače 15. Adresní rozdělovač 15 je opatřen vstupem 16 adresy pro celý systém příznaků pro normální provozní režim o šířce K bitů, kde K je kladné celé číslo, a výstupem 5 adresního signálu pro adresaci paměti 4 příznakového registru při normálním provozním režimu, který je propojen s prvními adresními vstupy prvního multiplexoru 2 všech základních bloků 1. Druhé adresní vstupy prvního multiplexoru 2 všech základních bloků 1 jsou propojeny s výstupem 6 adresního signálu pro adresaci paměti 4 příznakového registru pro režim inicializace čítače 14. Jeden vstup čítače 14 je propojen se vstupy 9 řídicího signálu pro inicializaci paměti 4 příznakového registru základních bloků 1 a druhý vstup je vstupem hodinového signálu.

V rámci základního bloku 1 vstupují řídicí signál z výstupu 5 adresního signálu pro adresaci paměti 4 příznakového registru při normálním provozním režimu a řídicí signál z výstupu 6 adresního signálu pro adresaci paměti 4 příznakového registru pro režim inicializace do prvního multiplexoru 2. První multiplexor 2 je ovládán signálem na vstupu 9 řídicího signálu pro inicializaci paměti 4 příznakového registru a jeho výstup je připojen na adresní vstup 7 paměti 4 příznakového registru. První multiplexor 2 slouží k přepínání požadované adresy paměti 4 příznakového registru mezi režimem inicializace a normálním provozním režimem.

Obvod 3 pro povolení zápisu do paměti 4 příznakového registru vytváří signál zápisu na vstupu 10 signálu zápisu do paměti 4 příznakového registru logickým výrazem OR na základě vstupujícího řídicího signálu na vstupu 8 řídicího signálu zápisu do paměti 4 příznakového registru při normálním provozním režimu a řídicího signálu na vstupu 9 řídicího signálu pro inicializaci paměti 4 příznakového registru.

Řídicí signál ze vstupu 9 řídicího signálu pro inicializaci paměti 4 příznakového registru je přes invertor 12 přiveden na datový vstup paměti 4 příznakového registru, jejíž datový výstup 13 indikuje proběhlý zápis do vybraného příznaku.

Na vstup 11 hodinového signálu paměti 4 příznakového registru je přiveden hodinový signál.

55

Celý systém pro realizaci rozptylovací tabulky se skládá alespoň z jednoho základního bloku 1, odpovídajícího počtu maskovacích bloků 20, čítače 14, adresního rozdělovače 15, demultiplexoru 18 a druhého multiplexoru 22.

5 Adresa ze vstupu 16 adresy pro celý systém příznaků pro normální provozní režim o šířce  $K$  bitů vstupuje do adresního rozdělovače 15, který adresu rozdělí na  $L$  méně významných bitů, kde  $L$  odpovídá počtu bitů na adresních vstupech 7 paměti 4 příznakových registrů v základních blocích 1, a tato část je připojena výstupy 5 adresního signálu pro adresaci paměti 4 příznakových registrů při normálním provozním režimu všech základních bloků 1 a dále na  $K-L$  více významných bitů a tato část je připojena na adresní vstup 17 demultiplexoru 18.

15 Demultiplexor 18 při přítomnosti signálu na vstupu 16 signálu povolení zápisu převede hodnotu na adresním vstupu 17 na aktivaci jednoho z výstupů připojených na vstupy 8 řídicích signálů zápisu do paměti 4 příznakového registru jednotlivých základních bloků 1. Počet řídicích signálů na vstupech 8 řídicích signálů je dán výrazem  $2^{(K-L)}$ .

20 Datové výstupy 13 z paměti 4 příznakového registru základních bloků 1 jsou připojeny na odpovídající maskovací bloky 20, jejichž výstupy 21 jsou připojeny na vstupy druhého multiplexoru 22. Právě jeden ze všech maskovacích bloků 20 pracujících jako logické členy typu AND je aktivovaný logickou hodnotou 1 na vstupu 8 řídicího signálu do paměti 4 příznakového registru z demultiplexoru 18, čímž propustí signál ze svého vstupu na výstup 21. Druhý multiplexor 22 pracující jako logický člen typu OR díky pravidlům Boolovy algebry, to je neutralita logické 0 v logickém součtu, zajistí propagaci hodnoty vstupu z aktivovaného maskovacího bloku 20 na výstup systému příznaků 23.

25 Čítač 14 po dobu aktivace signálem inicializace na vstupu 9 řídicího signálu pro inicializaci paměti 4 příznakového registru nastavuje řídicí signál na výstupu 6 adresního signálu pro adresaci paměti 4 příznakových registrů ve všech základních blocích 1 pro režim inicializace postupně na všechny hodnoty ve zbytkové (modulo) aditivní grupě o základu  $2^L$ . Tím je zaručeno vygenerování celého adresního rozsahu paměti 4 příznakových registrů v základních blocích 1. Přejít mezi jednotlivými kroky čítače 14 je spouštěn hodinovým signálem ze vstupu 11 hodinového signálu, který zároveň aktivuje všechny základní bloky 1.

35 Podstatou nového řešení je tedy použití jiné části, tak zvané distribuované paměti, integrovaného obvodu typu FPGA, pro realizaci systému příznaků platnosti dat v paměťových buňkách rozptylovací tabulky, namísto klopných obvodů. Distribuovaná paměť je v obvodu FPGA realizována jako vyhledávací tabulka LUT (Look-Up Table), jejíž velikost je rovna  $2^n$ , kde  $n$  je počet datových vstupů, a je typicky roven 4 nebo 6. To v případě například 6 vstupů umožňuje v jediné tabulce LUT vytvořit systém příznaků o velikosti  $2^6 = 64$  příznaků. Navzdory nemožnosti smazat obsah celé tabulky LUT v jediném hodinovém cyklu, je možné smazat obsahy všech těchto distribuovaných pamětí současně díky jejich nezávislosti. Doba nutná pro smazání systému příznaků je v tomto případě  $2^n$  hodinových cyklů což je více než u varianty využívající klopné obvody, u které je možné smazání v 1 hodinovém cyklu, ale tato doba je však řádově konstantní a nezávislá na velikosti rozptylovací tabulky.

45

### Průmyslová využitelnost

50 Předkládané řešení je dobře průmyslově využitelné například v systémech realizujících kompresní algoritmy rodiny LZ77, které využívají rozptylovací tabulky, jež je nutné při každém spuštění algoritmu znovu inicializovat na požadované hodnoty. Princip řešení je zvláště výhodný pro implementace v integrovaných obvodech typu FPGA s distribuovanou pamětí realizovanou pomocí vyhledávacích tabulek LUT (Look-Up Table),

55

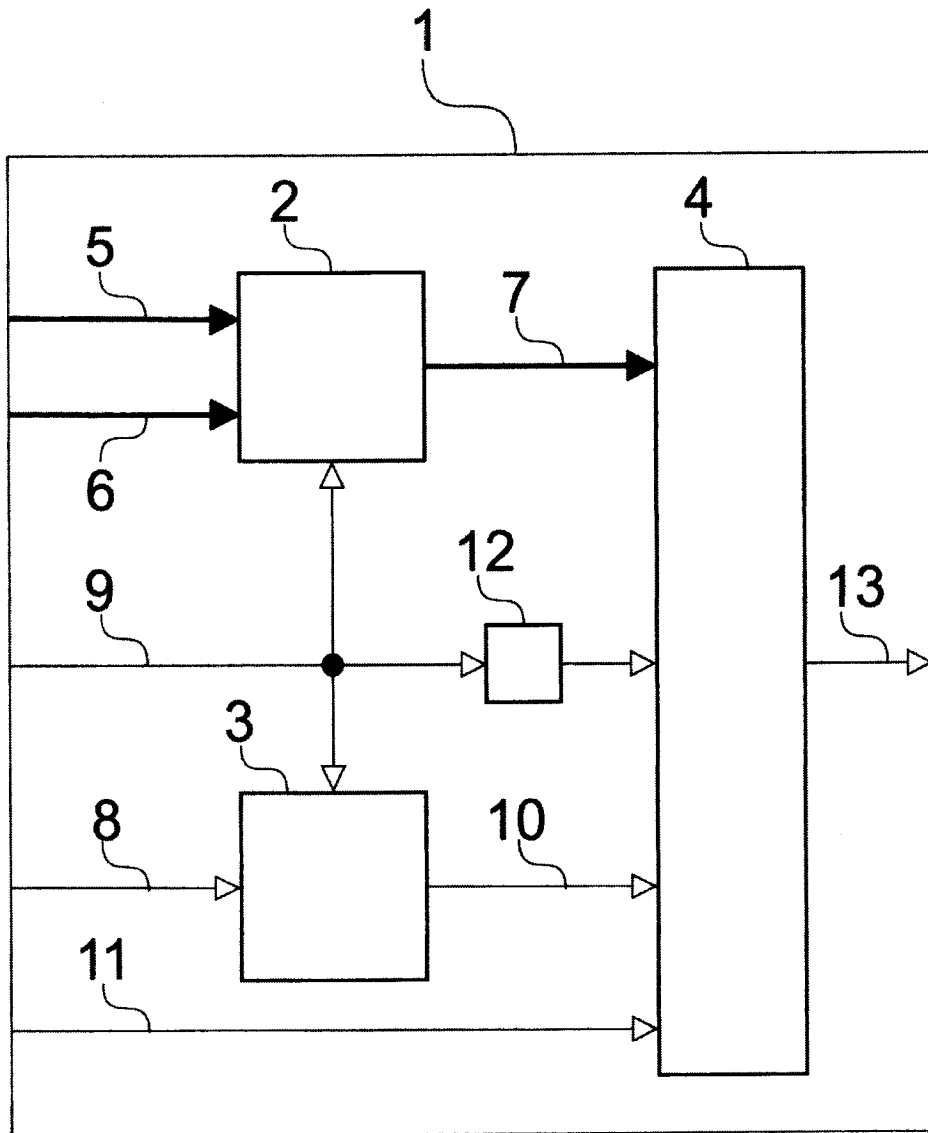
## PATENTOVÉ NÁROKY

5 1. Systém pro realizaci rozptylovací tabulky, **v y z n a ě u j í c í s e t í m**, že sestává alespoň  
z jednoho základního bloku (1), kde každý základní blok (1) je tvořen prvním multiplexorem (2)  
opatřeným prvním a druhým adresním vstupem a propojeným svým výstupem s adresním vstu-  
pem (7) paměti (4) příznakového registru implementovaného jako tabulka LUT, a obvodem (3)  
10 pro povolení zápisu do paměti (4) příznakového registru, který je opatřen vstupem (8) řídicího  
signálu zápisu do paměti (4) příznakového registru, a jehož výstup je propojen se vstupem (10)  
signálu zápisu paměti (4) příznakového registru, která je opatřena dále vstupem (11) hodinového  
signálu a datovým vstupem, na který je přes invertor (12) připojen vstup (9) řídicího signálu pro  
inicializaci paměti (4) příznakového registru, který je zároveň propojen s řídicím vstupem první-  
15 ho multiplexoru (2) a s řídicím vstupem obvodu (3) pro povolení zápisu do paměti (4) příznako-  
vého registru a datový výstup (13) z paměti (4) příznakového registru každého základního bloku  
(1) je připojen na jeden vstup jemu příslušejícího maskovacího bloku (20), kde výstupy (21) těch-  
to maskovacích bloků (20) jsou připojeny na vstupy druhého multiplexoru (22), jehož výstup (23)  
je výstupem systémů příznaků, a kde vstup (8) řídicího signálu zápisu do paměti (4) příznakové-  
ho registru každého základního bloku (1) je propojen s výstupem demultiplexoru (18) a zároveň s  
20 druhým vstupem jemu příslušejícího maskovacího bloku (20) a tento demultiplexor (18) je opat-  
řen vstupem (19) signálu povolení zápisu a adresním vstupem (17), který je propojen s výstupem  
adresního rozdělovače (15) opatřeného vstupem (16) adresy pro celý systém příznaků pro nor-  
mální provozní režim o šířce K bitů, kde K je kladné celé číslo a výstupem (5) adresního signálu  
pro adresaci paměti (4) příznakového registru při normálním provozním režimu, který je propo-  
25 jen s prvními adresními vstupy prvních multiplexorů (2) všech základních bloků (1), přičemž  
druhé adresní vstupy prvních multiplexorů (2) všech základních bloků (1) jsou propojeny s vý-  
stupem (6) adresního signálu pro adresaci paměti (4) příznakového registru pro režim inicializace  
čítače (14), jehož jeden vstup je propojen se vstupy (9) řídicího signálu pro inicializaci paměti (4)  
příznakového registru základních bloků (1) a druhý vstup je vstupem hodinového signálu.

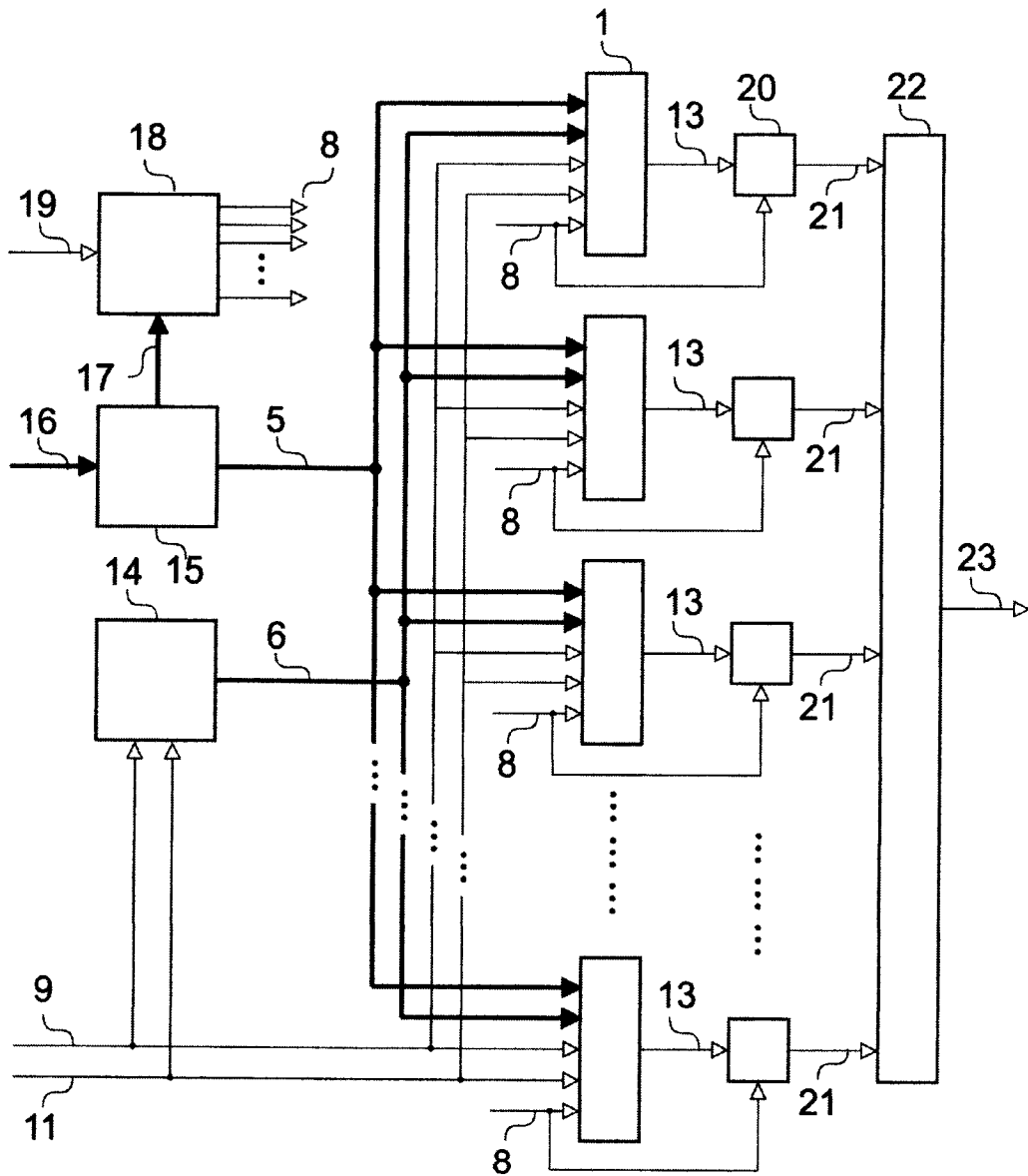
30

2 výkresy

35



Obr. 1



Obr. 2

Konec dokumentu